

Docket No. 218357US2/shb

APR 15 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiaki SHIMOOKA, et al.

GAU: 2812

SERIAL NO: 10/052,259

EXAMINER:

FILED: January 23, 2002

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

**REQUEST FOR PRIORITY**

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
JAPAN	2001-372974	December 6, 2001

RECEIVED  
APR 17 2002  
TECHNOLOGY CENTER 2800

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
- are submitted herewith
- will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak  
Registration No. 24,913

*Joseph A. Scafetta, Jr.*  
Joseph A. Scafetta, Jr.  
Registration No. 26,803

Fourth Floor  
1755 Jefferson Davis Highway  
Arlington, Virginia 22202  
Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 11/98)



10/052,259

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年12月 6日

出願番号

Application Number:

特願2001-372974

出願人

Applicant(s):

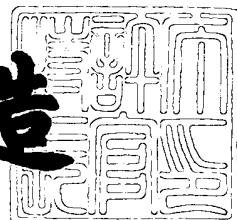
株式会社東芝

RECEIVED  
APR 17 2002  
TECHNOLOGY CENTER 2800

2001年12月28日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3112867

【書類名】 特許願  
【整理番号】 13384501  
【提出日】 平成13年12月 6日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/00  
【発明の名称】 半導体装置およびその製造方法  
【請求項の数】 10  
【発明者】  
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝  
横浜事業所内  
【氏名】 下岡義明  
【発明者】  
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝  
横浜事業所内  
【氏名】 松永範昭  
【発明者】  
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝  
横浜事業所内  
【氏名】 柴田英毅  
【特許出願人】  
【識別番号】 000003078  
【住所又は居所】 東京都港区芝浦一丁目1番1号  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100075812  
【弁理士】  
【氏名又は名称】 吉武賢次  
【選任した代理人】  
【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】

半導体基板上に形成され所望の周波数  $f_0$  の信号が通る信号線と、前記信号と逆位相の信号が通るかまたは接地電源に接続される差動信号線と、を備え、前記信号線と前記差動信号線は、ほぼ平行であるように絶縁層を介して積層され、前記差動信号線が存在しなかった場合の前記信号線の単位長当たりの、抵抗成分、インダクタンス成分、キャパシタ成分をそれぞれ  $R$ 、 $L$ 、 $C$  とし、前記信号線の実際の配線長  $l_0$  が次の式

【数1】

$$l_0 = \sqrt{\frac{\frac{L}{C} + \sqrt{\frac{R^2 + 8\pi^2 f_0^2 L^2}{4\pi^2 f_0^2 C^2}}}{R^2 + 4\pi^2 f_0^2 L^2}}$$

から求められる配線長  $l_0$  よりも長いことを特徴とする半導体装置。

【請求項2】

前記信号線は、前記半導体基板の主要部において前記差動信号線とほぼ幅が同じでかつ前記絶縁層を介して相対する位置に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記差動信号線が前記絶縁層を介して形成された前記信号線の面とは反対側の面に第2絶縁層を介して第2差動信号線が形成されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】

前記信号線は、少なくとも2本あり、これらの2本の信号線は同じ層に形成され、これらの2本の信号線の間には前記差動信号線とは異なる第2差動信号線が前記信号線と同じ層となるように形成されていることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】

前記信号線、前記絶縁層、および前記差動信号線は、前記半導体基板上に形成された第2絶縁層に設けられた溝内に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項6】

前記信号線と前記差動信号線は、前記半導体基板の主要部においてほぼ平行であることを特徴とする請求項1乃至5のいずれかに記載の半導体装置。

【請求項7】

半導体基板上に第1導電層を形成する工程と、前記第1導電層上に絶縁層を形成する工程と、前記絶縁層上に第2導電層を形成する工程と、前記第2導電層、前記絶縁層、および前記第1導電層を一時にパターニングして、前記第1導電層から第1配線を、前記第2導電層から第2配線を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項8】

半導体基板上に形成された第1絶縁層内に溝を形成し、この溝に配線材料を埋め込むことにより第1配線を形成する工程と、前記第1配線を覆う第2絶縁層を形成する工程と、前記第2絶縁層上に第3絶縁層を形成する工程と、この第3絶縁層の前記第1配線に相対する位置に、前記第2絶縁層に到達する開口を形成し、この開口に配線材料を埋め込むことにより第2配線を形成する工程と、を備えたことを特徴とする半導体装置の製造法。

【請求項9】

半導体基板上に形成された第1絶縁層に溝を形成する工程と、前記溝の側面および底面を覆う第1配線層を形成する工程と、前記第1配線層を覆うように第2絶縁層を介して第2配線層を前記溝内に形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項10】

前記第1配線は、信号線および前記信号線を通る信号と逆位相の信号が通るかまたは接地電源に接続される差動信号線の内の方であり、第2配線は前記信号線および前記差動信号線の内の方であることを特徴とする請求項7乃至9のい

ずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多層配線構造を用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、大規模集積回路(以下、LSI (Large Scale Integrated Circuit)とも云う)は、高速化の制限に直面している。これまでのLSIにおいては、ゲート遅延を抑えトランジスタを高速化すればLSI全体を高速化できたが、動作周波数が1GHz以上になると配線遅延がLSIの高速化を制限してしまう。また、LSIの微細化による配線間距離の縮小も重なって、信号線間の干渉も顕在化しつつある。このため、従来から使われてきたAl合金配線やSiO<sub>2</sub>絶縁膜に代わって、比抵抗の低いCu配線や低誘電率層間絶縁膜といった材料技術によって配線遅延を抑制しようと試みている。

【0003】

しかし、上記の様な材料の改善により、配線抵抗Rと配線容量Cの積に比例するRC遅延を削減することはできるが、配線インダクタンスLの影響を排除することは困難である。特に回路ブロック間等をつなぐ長距離配線では、配線長が長いために配線インダクタンスの影響が大きくなって、RC遅延よりもLCの影響の方が支配的になる。この影響を排除するため、配線長の長い配線に対してはマイクロストリップ・ライン構造の検討を始める動きがある。

【0004】

このマイクロストリップ・ライン構造の、多層配線を有する従来の半導体装置の構成を図33に示す。この従来の半導体装置は、図示しない素子(例えば、トランジスタ)が形成された半導体基板900上に、絶縁層901が形成され、この絶縁層901上に絶縁層902が形成されている。この絶縁層902上には、接地電極となる金属層903が形成され、この金属層903上に絶縁層904を介して信号線905が形成されている。この信号線905は絶縁層906によっ

て被覆されている。そして、この絶縁層906上には、図示しない接地電極または電源電極からなる金属層、絶縁層、および信号線層等が形成された多層配線構造となっている。このように、マイクロストリップ・ライン構造は、平板状の接地電極903や電源電極によって信号線905を挟む配線構造で、LCの影響低減に効果がある。

## 【0005】

## 【発明が解決しようとする課題】

しかし、図33に示した様な平板状の接地電極903を用いるマイクロストリップ・ライン構造の場合、図34に示すように、信号線905から接地電極903に向かうような電気力線および磁力線（電磁界）が形成されるため、上下の信号線間の干渉を抑えることはできる。しかし、上記電気力線および磁力線の広がりが大きいので隣接する信号線にも電気力線および磁力線が到達し、隣接する信号線間の干渉を抑えることができない。

## 【0006】

このため、マイクロストリップ・ライン構造の場合、微細化によって配線ピッチが小さくなると、隣接配線からの影響を大きく受ける。したがって、今後の微細化に適応できないという問題がある。

## 【0007】

本発明は、上記事情を考慮してなされたものであって、上下の信号線間の干渉および隣接する信号線間の干渉を抑えることができるとともに微細化にも適応できる半導体装置およびその製造方法を提供することを目的とする。

## 【0008】

## 【課題を解決するための手段】

本発明の半導体装置の一態様は、半導体基板上に形成され所望の周波数  $f_0$  の信号が通る信号線と、前記信号と逆位相の信号が通るかまたは接地電源に接続される差動信号線と、を備え、前記信号線と前記差動信号線は、ほぼ平行であるように絶縁層を介して積層され、前記差動信号線が存在しなかった場合の前記信号線の単位長当たりの、抵抗成分、インダクタンス成分、キャパシタ成分をそれぞれR、L、Cとし、前記信号線の実際の配線長1が次の式

## 【数2】

$$l_0 = \sqrt{\frac{\frac{L}{C} + \sqrt{\frac{R^2 + 8\pi^2 f_0^2 L^2}{4\pi^2 f_0^2 C^2}}}{R^2 + 4\pi^2 f_0^2 L^2}}$$

から求められる配線長  $l_0$  よりも長いことを特徴とする。

## 【0009】

また、本発明の半導体装置の製造方法による第1態様は、半導体基板上に第1導電層を形成する工程と、前記第1導電層上に絶縁層を形成する工程と、前記絶縁層上に第2導電層を形成する工程と、前記第2導電層、前記絶縁層、および前記第1導電層を一時にパターニングして、前記第1導電層から第1配線を、前記第2導電層から第2配線を形成する工程と、を備えたことを特徴とする。

## 【0010】

また、本発明の半導体装置の製造方法による第2態様は、半導体基板上に形成された第1絶縁層内に溝を形成し、この溝に配線材料を埋め込むことにより第1配線を形成する工程と、前記第1配線を覆う第2絶縁層を形成する工程と、前記第2絶縁層上に第3絶縁層を形成する工程と、この第3絶縁層の前記第1配線に相対する位置に、前記第2絶縁層に到達する開口を形成し、この開口に配線材料を埋め込むことにより第2配線を形成する工程と、を備えたことを特徴とする。

## 【0011】

また、本発明の半導体装置の製造方法による第3態様は、半導体基板上に形成された第1絶縁層に溝を形成する工程と、前記溝の側面および底面を覆う第1配線層を形成する工程と、前記第1配線層を覆うように第2絶縁層を介して第2配線層を前記溝内に形成する工程とを備えたことを特徴とする。

## 【0012】

## 【発明の実施の形態】

本発明の実施形態を以下、図面を参照して説明する。

## 【0013】

(第1実施形態)

本発明の第1実施形態による半導体装置の構成を図1に示す。この実施形態の半導体装置は、スタックド・ペア・ラインと呼ばれる構造の多層配線を備えた構成となっている。スタックド・ペア・ラインとは、信号線と差動信号線（本明細書においては、上記信号線を通る信号と逆位相の信号が通る信号線または接地線）とを、絶縁層15を介して上下に重ねて対にした配線構造である。すなわち、信号線17は、差動信号線13相対する、絶縁層15上の位置に形成されている。図1に示す本実施形態の半導体装置は、例えば、トランジスタ等の素子が形成された半導体基板10上に絶縁膜11が形成され、この絶縁層11上に絶縁層12が形成されている。この絶縁層12には差動信号線13（この実施形態においては、接地線）が埋め込まれた構成となっている。そして、この差動信号線13および絶縁層12を覆うように絶縁層15が形成されている。この絶縁層15は差動信号線13と後述の信号線17とを電気的に分離するために形成されている。また、絶縁層15上には、絶縁層16が形成され、この絶縁層16に信号線17が埋め込まれた構成となっている。この信号線17と差動信号線13とは、絶縁層15を介して上下に重ねて対にして形成されており、本実施形態の半導体装置が形成されたチップの主要部においてほぼ同じ幅でかつほぼ平行となるように形成された構成となっている。ここで、主要部においてほぼ同じ幅でかつほぼ平行とは、少なくとも入力端子または出力端子の近傍を除いて、ほぼ同じ幅でかつほぼ平行であるという意味である。なお、信号線17および絶縁層16は絶縁層18によって被覆されている。

#### 【0014】

このように、本実施形態においては、信号線17と差動信号線13とが絶縁層15を介して上下に重ねて対にして、主要部においてほぼ同じ幅でかつほぼ平行となるように形成されているので、図1に示すように、信号線17から対応する差動信号線13に向かう電気力線および磁力線（電磁界）が、信号線17および対応する差動信号線13を含む狭い範囲に形成される。このため、上下の信号線間ばかりでなく隣接する信号線間の干渉の影響を受けることを可及的に防止することが可能となり、干渉の少ない信号伝送を実現できるとともに微細化に適した構造を実現できる。

## 【0015】

このような構造を、単層の信号線すなわち、差動信号線と絶縁層を介して上下に重ねて対にしては形成されない信号線の実際の配線長 $l_1$ が半導体装置で使用する周波数 $f_0$ によって決まる配線長 $l_0$ よりも長い場合に、用いれば、LC遅延の低減に特に有効である。これを以下に説明する。

## 【0016】

単層の信号線の配線路が図2に示す等価回路で置き換えられると仮定する。なお、図2に示すR、L、Cは単位長さ当たりの抵抗、インダクタンス、キャパシタンスをそれぞれ表している。インピーダンスZ、アドミッタンスYを用いて入力インピーダンスが $Z + 1/Y$ 、出力インピーダンスが $1/Y$ と規定できるとすると、ある配線長 $l_0$ に対して

$$(1/Y) / (Z + 1/Y) = 2^{-1/2}$$

を満足する周波数 $f_0$ を遮断周波数という。すなわち、入力信号が約3dB減衰する周波数を遮断周波数という。このとき、配線の単位長さあたりの抵抗成分R( $\Omega$ )、インダクタンス成分L(H)、容量成分C(F)を用いてインピーダンスZ、 $1/Y$ は、例えば、

$$\begin{aligned} Z &= R \cdot l_0 + j(2\pi f_0 \cdot L \cdot l_0) \\ 1/Y &= 1/(j(2\pi f_0 \cdot C \cdot l_0)) \end{aligned}$$

等と表せる。これらの式から $l_0$ を求めるとき、以下のように表される。

## 【0017】

## 【数3】

$$l_0 = \sqrt{\frac{\frac{L}{C} + \sqrt{\frac{R^2 + 8\pi^2 f_0^2 L^2}{4\pi^2 f_0^2 C^2}}}{R^2 + 4\pi^2 f_0^2 L^2}}$$

従って、半導体装置で使用する周波数が  $f_0$  で、半導体装置の単層の信号線の配線長  $l$  が上記式から決まる  $l_0$  よりも長くなった場合には、上記単層の信号線を伝送する信号が減衰し、LC遅延の影響が現れ始めてくる。

#### 【0018】

そこで、本実施形態による半導体装置においては、上記単層の信号線を、差動信号線と絶縁層を介して上下に重ねて対にして形成することにより、信号線  $l_7$  の配線長  $l$  が上記式によって決まる配線長  $l_0$  よりも長くても、LCの影響を低減することが可能となり、干渉の少ない信号伝送を実現できる。

#### 【0019】

##### (第2実施形態)

次に、本発明の第2実施形態による半導体装置の製造方法を、図3乃至図11を参照して説明する。

#### 【0020】

この実施形態による半導体装置の製造方法は、まず、図3に示すように、半導体基板20上に、例えばトランジスタ等の素子(図示せず)を形成した後、絶縁層22および配線層(図示せず)を順次形成する(図3参照)。続いて、図3に示すように、半導体基板20の主面に、例えば気相化学成長(以下、CVD(Chemical Vapor Deposition)とも云う)法またはスピニ塗布法を用いて絶縁層24を形成する。

#### 【0021】

次に、フォトリソグラフィー法と反応性イオンエッティング(以下、RIE(Reactive Ion Etching)とも云う)法を用いて絶縁層24に、上記配線層とのコントラクトを取るためのピア・ホールを形成し、このピア・ホールを金属(例えば、タンゲステン)で埋め込むことによりピア・プラグ26を形成する(図4参照)。

#### 【0022】

次に、図5に示すように、CVD法またはスピニ塗布法を用いて、半導体基板20の主面に絶縁層24およびピア・プラグ26を覆うように差動信号線用の金属層28を成膜する。続いて、CVD法またはスピニ塗布法を用いて、差動

信号線用の金属層28と、後述の信号線用の金属層とを分離する絶縁層30を金属層28上に成膜する（図6参照）。その後、CVD法またはスパッタリング法を用いて、図7に示すように、信号線用の金属層32を成膜する。続いて、図8に示すようにフォトリソグラフィー法とRIE法を用いて、金属層32、絶縁層30、および金属層28を一度にパターニングし、信号線32aと差動信号線28aからなる配線対を形成する。これにより、信号線32aと差動信号線28aは、半導体装置が形成されるチップのほぼ主要部においてほぼ同じ幅でかつほぼ平行となるように絶縁層30aを介して形成されることになる。

#### 【0023】

次に、図9に示すようにCVD法またはスピニ塗布法を用いて信号線32aと差動信号線28aからなる配線対を被覆する絶縁層34を成膜する。続いて、この絶縁層34を、例えばCMP（Chemical Mechanical Polishing）を用いて平坦化する。その後、図10（b）に示すように、フォトリソグラフィー法とRIE法を用いて、絶縁層34に信号線32aとのコンタクトを取るためのピア・ホールを形成し、このピア・ホールに例えばCVD法を用いて金属（例えば、タンゲステン）を埋め込みピア・プラグ36を形成する。なお、図10（b）は、本実施形態の製造方法によって製造される半導体装置の断面図であり、図10（a）は、図10（b）に示す切断線A-Aで切断したときの断面図である。この図10（a）に示す断面図から分かるように、本実施形態においては、信号線32aおよび差動信号線28aからなる2組の配線対の一方（図10（a）では左側に示す配線対）は真っ直ぐに形成されており、他方（図10（a）では右側に示す配線対）は途中から右方に折れ曲がるように形成されている。いずれの信号線対も、信号線32aと差動信号線28aが、半導体装置が形成されるチップのほぼ主要部においてほぼ平行でかつほぼ同じ幅となるように絶縁層30aを介して形成されることになる。

#### 【0024】

上記のプロセスを繰り返してスタッカド・ペア・ラインを何層か形成することができる。

#### 【0025】

以上、説明したように、第2実施形態によれば、信号線32aと差動信号線28aは、絶縁層30aとともに一度にパターニングにより形成されるので、半導体装置が形成されるチップのほぼ主要部においてほぼ同じ幅でかつほぼ平行となるように絶縁層30aを介して形成される。これにより、信号線32aから対応する差動信号線28aに向かう電気力線および磁力線（電磁界）が、信号線32aおよび対応する差動信号線28aを含む狭い範囲に形成される。このため、上下の信号線間ばかりでなく隣接する信号線間の干渉の影響を受けることを可及的に防止することが可能となり、干渉の少ない信号伝送を実現できるとともに微細化に適した構造を実現できる。

#### 【0026】

なお、本実施形態の製造方法によって製造される半導体装置においては、配線対の積層数は2層であったが、配線の積層数は2層に限ったものではなく、図11に示すように、信号線32aを絶縁層30aおよび絶縁層33を介して差動信号線28aおよび35で挟む構造としても良い。すなわち、図11に示す、第2実施形態の製造方法によって製造される半導体装置の変形例は、図10に示す第2実施形態の製造方法によって製造される半導体装置において、信号線32a上に絶縁層33を介して差動信号線35を形成した構成となっている。これにより、配線の積層数は3層となる。

#### 【0027】

##### （第3実施形態）

次に、本発明の第3実施形態による半導体装置の製造方法を、図12乃至図21を参照して説明する。

#### 【0028】

この実施形態による半導体装置の製造方法は、スタックド・ペア・ライン構造をダマシン（Damascene）配線で実現するものである。まず、図12に示すように、半導体基板40上に、例えばトランジスタ等の素子（図示せず）を形成した後、絶縁層42および配線層（図示せず）を順次形成する（図12参照）。続いて、図12に示すように、半導体基板40の主面に、例えばCVD法またはスピナーリング法を用いて絶縁層44を形成する。

## 【0029】

次に、フォトリソグラフィー法とR I E法を用いて絶縁層4 4に、図13に示すように上記配線層とのコンタクトを取るためのピア・ホール4 6および配線用溝4 8を形成し、このピア・ホール4 6および配線用溝4 8に例えばC V D法、スパッタリング法、またはメッキ法を用いて金属（例えば、タンゲステン）を埋め込む。その後、C M P法を用いて、配線用溝4 8からはみ出ている余分な金属を除去することによりピア・プラグ5 0および差動信号線5 2を形成する（図14参照）。その後、図15に示すように、C V D法またはスピニ塗布法を用いて差動信号線5 2および絶縁層4 4を被覆する絶縁層5 4を形成する。

## 【0030】

次に、図16に示すように、例えばC V D法を用いて、半導体基板4 0の主面に絶縁層5 4を覆うように絶縁層5 6を形成する。続いて、図17に示すように、半導体装置が形成されるチップのほぼ主要部において、差動信号線5 2とほぼ平行でかつほぼ同じ幅となるように、差動信号線5 2に相対する絶縁層5 6の位置に信号線用の溝5 8を形成する。なお、溝5 8は、その底面において絶縁層5 4が露出するように形成される。

## 【0031】

次に、例えばC V D法、スパッタリング法、またはメッキ法を用いて、溝5 8を金属で埋め込み、溝5 8からはみ出した余分の金属を例えばC M P法を用いて除去することにより、図18に示すように、絶縁層5 6に信号線6 0を形成する。これにより、差動信号線5 2と相対する信号線6 0からなる配線対は、半導体装置が形成されるチップのほぼ主要部においてほぼ同じ幅でかつほぼ平行となるように絶縁層5 4を介して形成されることになる。その後、例えばC V D法またはスピニ塗布法を用いて、図19に示すように信号線6 0を被覆する絶縁層6 2を形成する。

## 【0032】

次に、フォトリソグラフィー法およびR I E法を用いて、図20に示すように、信号線6 0とのコンタクトを取るためのピア・ホール6 4を絶縁層6 2に形成する。その後、例えばC V D法、スパッタリング法、またはメッキ法を用いて、

ピア・ホール64を金属で埋め込み、ピア・ホール64からはみ出した余分の金属を例えばCMP法を用いて除去することにより、図21(b)に示すように、絶縁層52にピア・プラグ66を形成する。なお、図21(b)は、本実施形態の製造方法によって製造される半導体装置の断面図であり、図21(a)は、図21(b)に示す切断線A-Aで切断したときの断面図である。この図21(a)に示す断面図から分かるように、本実施形態においては、信号線60および差動信号線52からなる2組の配線対の一方(図21(a)では左側に示す配線対)は真っ直ぐに形成されており、他方(図21(a)では右側に示す配線対)は途中から右方に折れ曲がるように形成されている。いずれの配線対も、信号線60と差動信号線52が、半導体装置が形成されるチップのほぼ主要部においてほぼ平行でかつほぼ同じ幅となるように絶縁層54を介して形成されることになる。上記のプロセスを繰り返してスタックド・ペア・ラインを何層か形成することができる。

#### 【0033】

以上説明したように、本実施形態によれば、信号線60と差動信号線52が、半導体装置が形成されるチップのほぼ主要部においてほぼ平行でかつほぼ同じ幅となるように絶縁層54を介して形成されることになり、これにより、信号線60から相対する差動信号線52に向かう電気力線および磁力線(電磁界)が、信号線60および相対する差動信号線52を含む狭い範囲に形成される。このため、上下の信号線間ばかりでなく隣接する信号線間の干渉の影響を受けることを可及的に防止することが可能となり、干渉の少ない信号伝送を実現できるとともに微細化に適した構造を実現できる。

#### 【0034】

なお、第3実施形態においては、配線対の積層数は2層であったが、図22に示すように、配線の積層数は2層に限ったものではなく、信号線60を挟み込む形で差動信号線52および差動信号線65のパターンを形成する構造としてもよい。すなわち、図22に示す、第3実施形態の変形例による半導体装置は、図20に示す第3実施形態において、信号線60を覆うように絶縁層61および絶縁層63が形成され、この絶縁層63の、信号線60に相対する位置に差動信号線

65が設けられ、この差動信号線65を覆うように絶縁層67が形成され、この絶縁層67内に差動信号線65と接続するピア・プラグ69が設けられた構成となっている（図22参照）。これにより、配線の積層数は3層となる。

#### 【0035】

また、図23に示すような構成としても良い。すなわち、この図23に示す第3実施形態の第2変形例による半導体装置は、図22に示す、第2実施形態の第1変形例による半導体装置において、信号線60と同じ層内でこの信号線60を挟むように差動信号線60aを形成した構成となっている。

#### 【0036】

これらの第3実施形態の第1および第2変形例による半導体装置も第3実施形態と同様な効果を奏することは云うまでもない。

#### 【0037】

##### （第4実施形態）

次に、本発明の第4実施形態による半導体装置の製造方法を、図24乃至図32を参照して説明する。

#### 【0038】

この実施形態による半導体装置の製造方法は、スタックド・ペア・ライン構造をダマシン配線で実現するものである。まず、図24に示すように、半導体基板70上に、例えばトランジスタ等の素子（図示せず）を形成した後、絶縁層72および配線層（図示せず）を順次形成する（図24参照）。続いて、図24に示すように、半導体基板70の主面に、例えばCVD法またはスピナーティング法を用いて絶縁層74を形成する。

#### 【0039】

次に図25に示すように、絶縁層74内に複数の溝76を形成する。これらの溝のいくつかは、その底面に上記配線層に接続するためのピア・ホール76aが設けられた構成となっている（図25参照）。続いて、基板70の主面に例えばCVD法を用いて金属を堆積し、ピア・ホール76aを埋め込むことによりピア・プラグ77を形成するとともに溝76の側面および底面に差動信号線となる金属層78を形成する（図26参照）。その後、基板70の主面に金属層78を覆

うように絶縁層80を形成する（図27参照）。

#### 【0040】

次に、図28に示すように、基板の正面に例えばCVD法を用いて金属を堆積し、絶縁層80を覆う、信号線となる金属層82を形成する。続いて、例えばCMP法を用いて、図29に示すように、絶縁層74上に形成された余分な金属層82、絶縁層80、および金属層78を削除し、溝内に差動信号線78a、絶縁層80a、および信号線82aを形成する。したがって、本実施形態においては、差動信号線78aおよび信号線82aからなる配線対が絶縁層80aを介して溝内に形成されることになる。

#### 【0041】

次に、図30に示すように基板70の正面の全面に絶縁層84を形成する。続いて、図31に示すように、絶縁層84内に信号線82aに接続するピア・ホール86を形成する。その後、図32（b）に示すように、ピア・ホール86を金属で埋め込み、ピア・プラグ88を形成する。なお、図32（b）は、本実施形態の製造方法によって製造される半導体装置の断面図であり、図32（a）は、図32（b）に示す切断線A-Aで切断したときの断面図である。この図32（a）に示す断面図から分かるように、本実施形態においては、溝内に形成された、信号線82aおよび差動信号線78aからなる2組の配線対の一方（図32（a）では左側に示す配線対）は真っ直ぐに形成されており、他方（図32（a）では右側に示す配線対）は途中から右方に折れ曲がるように形成されている。いずれの配線対も、信号線82aと差動信号線78aが、半導体装置が形成されるチップのほぼ主要部においてほぼ平行となるように絶縁層80aを介して溝内に形成されることになる。上記のプロセスを繰り返してスタックド・ペア・ラインを何層か形成することができる。

#### 【0042】

以上説明したように、本実施形態によれば、信号線82aと差動信号線78aが、半導体装置が形成されるチップのほぼ主要部においてほぼ平行となるように絶縁層80aを介して溝内に形成されることになり、これにより、信号線82aから対応する差動信号線78aに向かう電気力線および磁力線（電磁界）が、信

号線82aおよび対応する差動信号線78aを含む狭い範囲に形成される。このため、上下の信号線ばかりでなく隣接する信号線間の干渉の影響を受けることを可及的に防止することが可能となり、干渉の少ない信号伝送を実現できるとともに微細化に適した構造を実現できる。

#### 【0043】

なお、上記第1乃至第4実施形態においては、差動信号線の上に絶縁層を介して信号線が形成された構成となっているが、信号線の上に絶縁層を介して差動信号線を形成した構成でも、同様の効果を奏すことができることは云うまでもない。

#### 【0044】

##### 【発明の効果】

以上、述べたように、本発明によれば、上下の信号線間の干渉および隣接する信号線間の干渉を抑えることができるとともに微細化にも適応できる。

##### 【図面の簡単な説明】

###### 【図1】

本発明の第1実施形態による半導体層の構成を示す断面図。

###### 【図2】

信号配線路の等価回路図。

###### 【図3】

本発明の第2実施形態による半導体装置の製造方法の製造工程断面図。

###### 【図4】

本発明の第2実施形態による半導体装置の製造方法の製造工程断面図。

###### 【図5】

本発明の第2実施形態による半導体装置の製造方法の製造工程断面図。

###### 【図6】

本発明の第2実施形態による半導体装置の製造方法の製造工程断面図。

###### 【図7】

本発明の第2実施形態による半導体装置の製造方法の製造工程断面図。

###### 【図8】

本発明の第2実施形態による半導体装置の製造方法の製造工程断面図。

【図9】

本発明の第2実施形態による半導体装置の製造方法の製造工程断面図。

【図10】

本発明の第2実施形態による半導体装置の製造方法の製造工程断面図。

【図11】

第2実施形態の変形例による半導体装置の製造方法によって製造された半導体装置の構成を示す断面図。

【図12】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図13】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図14】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図15】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図16】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図17】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図18】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図19】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図20】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図21】

本発明の第3実施形態による半導体装置の製造方法の製造工程断面図。

【図22】

第3実施形態の第1変形例による製造法によって製造された半導体装置の構成を示す断面図。

【図23】

第3実施形態の第2変形例による製造法によって製造された半導体装置の構成を示す断面図。

【図24】

本発明の第4実施形態による半導体装置の製造方法の製造工程断面図。

【図25】

本発明の第4実施形態による半導体装置の製造方法の製造工程断面図。

【図26】

本発明の第4実施形態による半導体装置の製造方法の製造工程断面図。

【図27】

本発明の第4実施形態による半導体装置の製造方法の製造工程断面図。

【図28】

本発明の第4実施形態による半導体装置の製造方法の製造工程断面図。

【図29】

本発明の第4実施形態による半導体装置の製造方法の製造工程断面図。

【図30】

本発明の第4実施形態による半導体装置の製造方法の製造工程断面図。

【図31】

本発明の第4実施形態による半導体装置の製造方法の製造工程断面図。

【図32】

本発明の第4実施形態による半導体装置の製造方法の製造工程断面図。

【図33】

マイクロストリップ・ライン構造の半導体装置の構成を示す断面図。

【図34】

マイクロストリップ・ライン構造の半導体装置の問題点を説明する図。

【符号の説明】

1 1 絶縁層  
1 2 絶縁層  
1 3 差動信号線  
1 5 絶縁層  
1 6 絶縁層  
1 7 信号線  
1 8 絶縁層  
2 0 半導体基板  
2 2 絶縁層  
2 4 絶縁層  
2 6 ピア・プラグ  
2 8 金属層  
2 8 a 差動信号線  
3 0 絶縁層  
3 0 a 絶縁層  
3 2 金属層  
3 2 a 信号線  
3 3 絶縁層  
3 4 絶縁層  
3 5 差動信号線  
3 6 ピア・プラグ  
4 0 半導体基板  
4 2 絶縁層  
4 4 絶縁層  
4 6 ピア・ホール  
4 8 配線用溝  
5 0 ピア・プラグ  
5 2 差動信号線  
5 4 絶縁層

5 6 絶縁層  
5 8 溝  
6 0 信号線  
6 0 a 差動信号線  
6 1 絶縁層  
6 2 絶縁層  
6 3 絶縁層  
6 4 ピア・ホール  
6 5 差動信号線  
6 6 ピア・プラグ  
6 7 絶縁層  
6 9 ピア・プラグ  
7 0 半導体基板  
7 2 絶縁層  
7 4 絶縁層  
7 6 溝  
7 6 a ピア・ホール  
7 7 ピア・プラグ  
7 8 金属層  
7 8 a 差動信号線  
8 0 絶縁層  
8 0 a 絶縁層  
8 2 金属層  
8 2 a 信号線  
8 4 絶縁層  
8 6 ピア・ホール  
8 8 ピア・プラグ  
9 0 0 半導体基板  
9 0 1 絶縁層

902 絶縁層

903 金属層

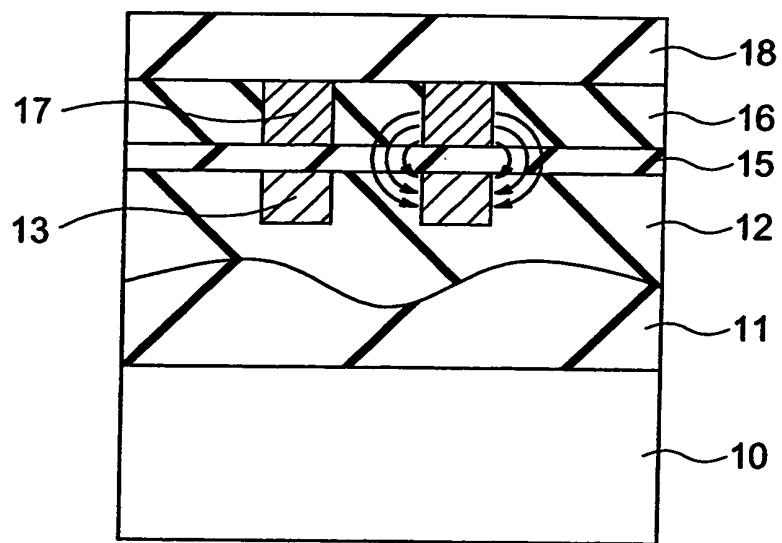
904 絶縁層

905 信号線

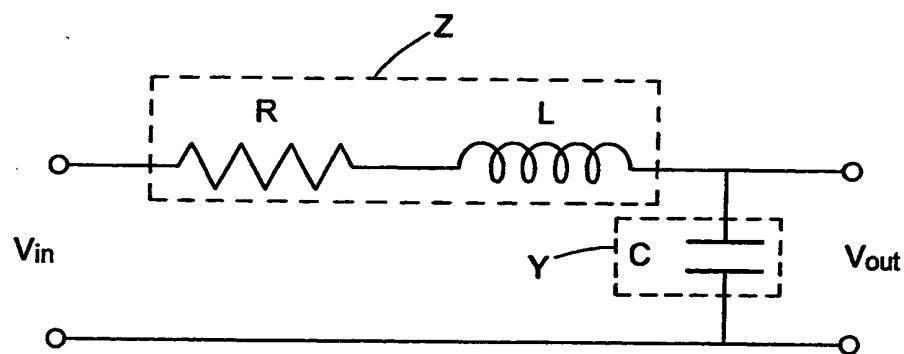
906 絶縁層

【書類名】 図面

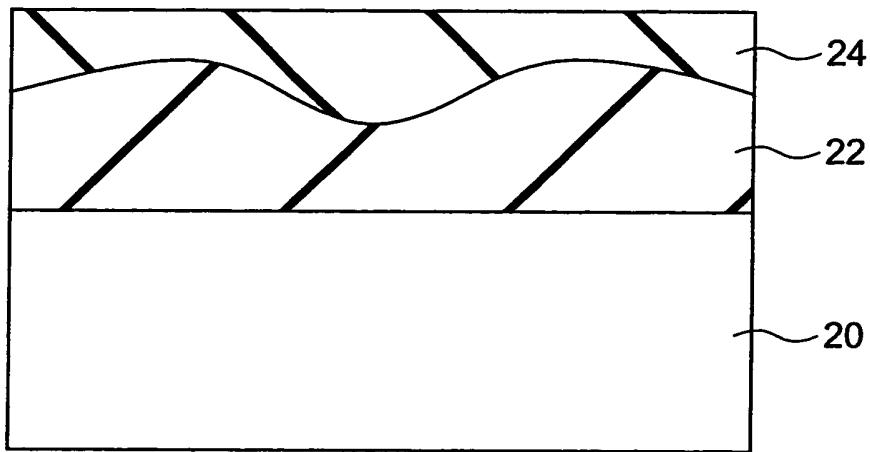
【図1】



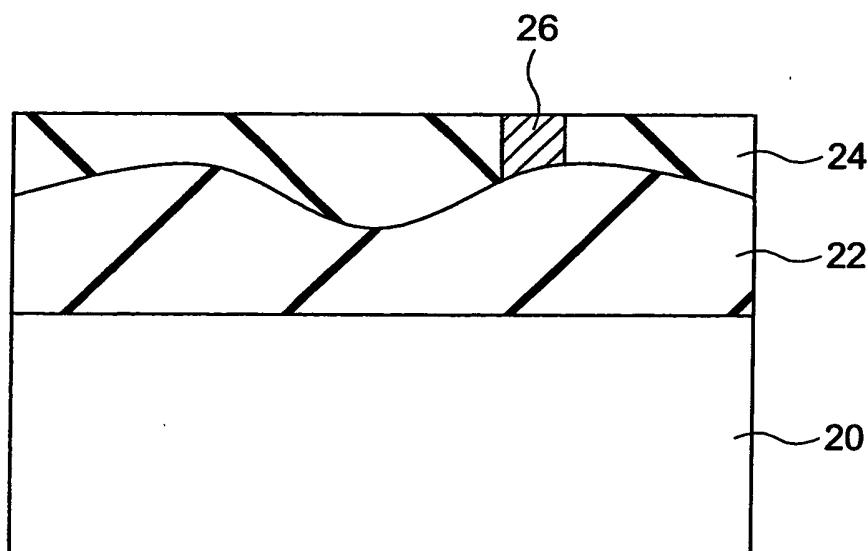
【図2】



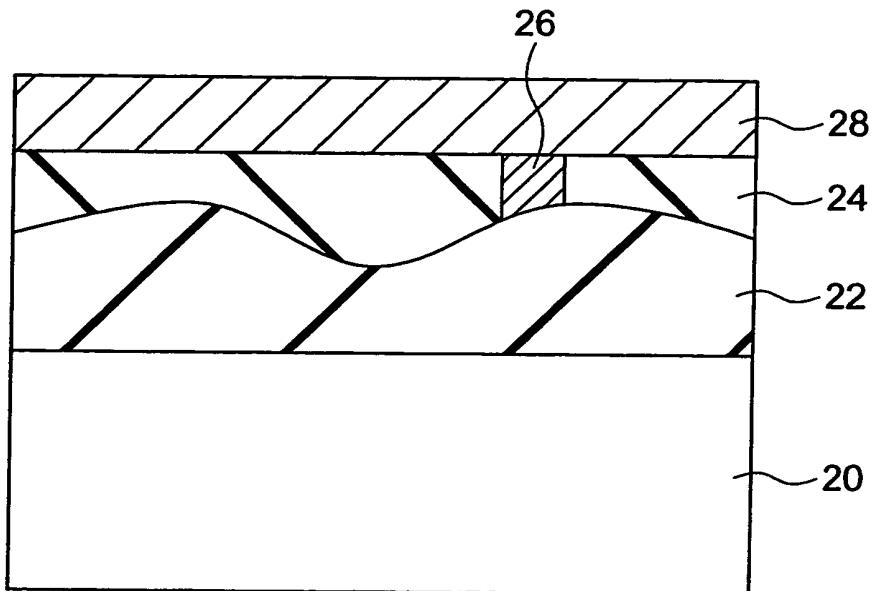
【図3】



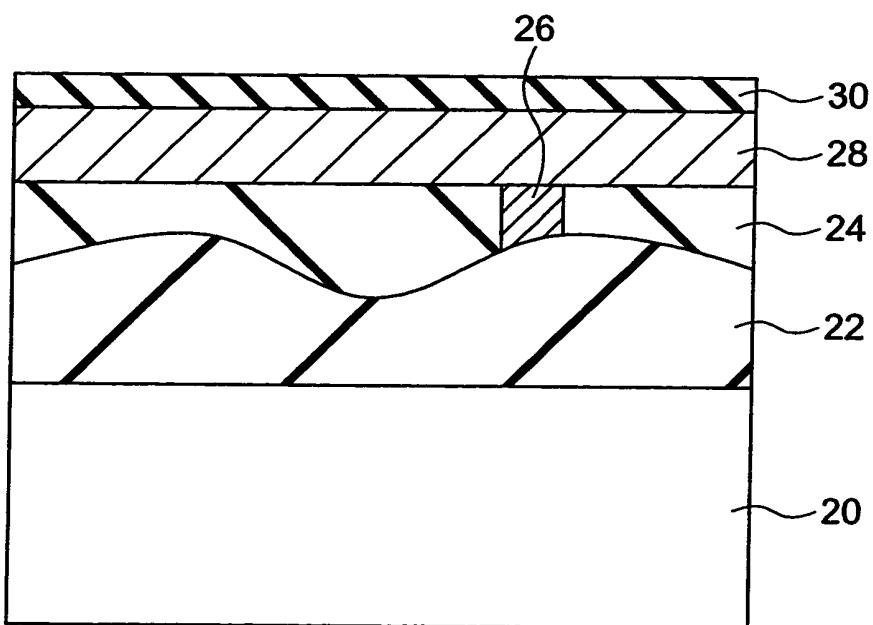
【図4】



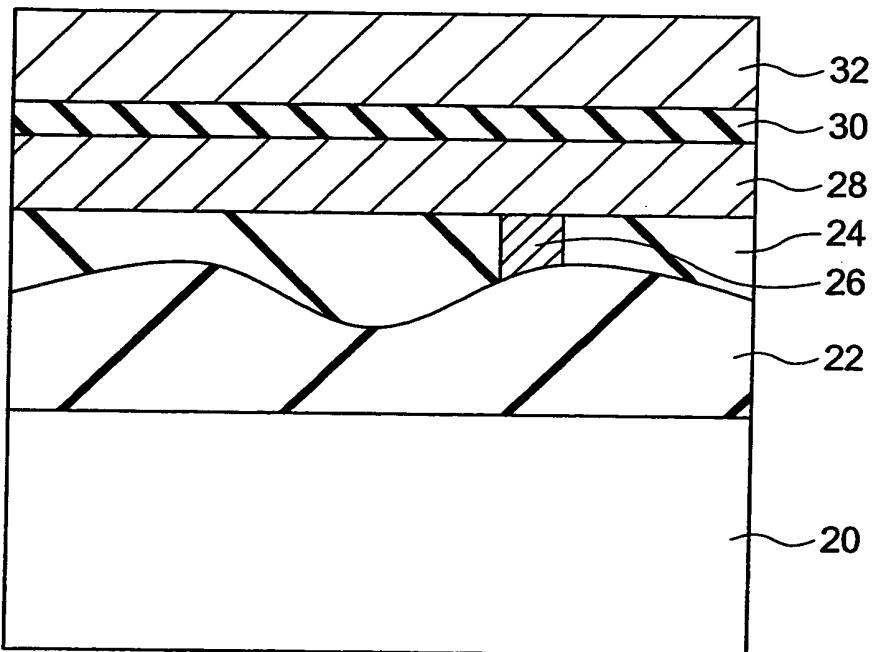
【図5】



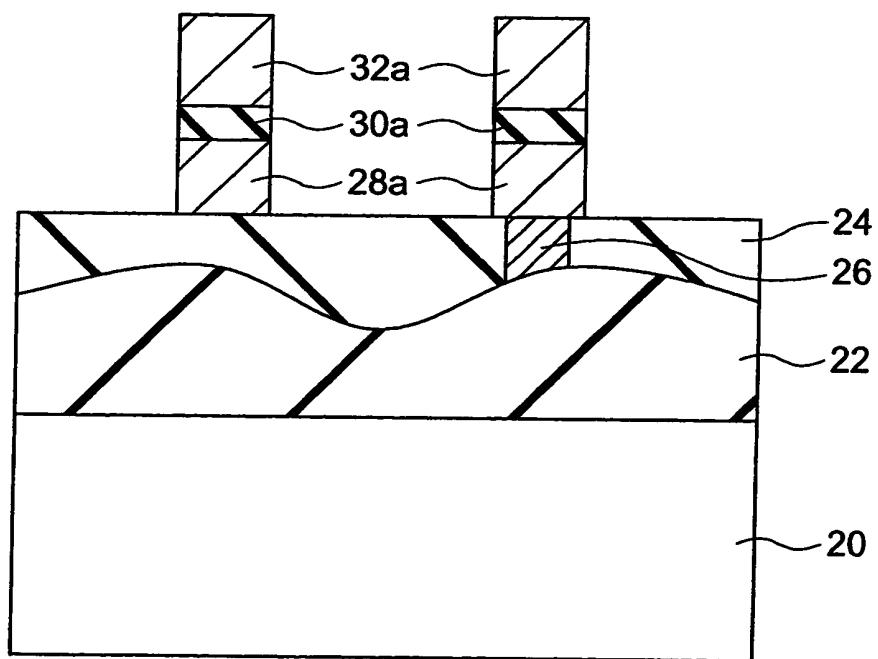
【図6】



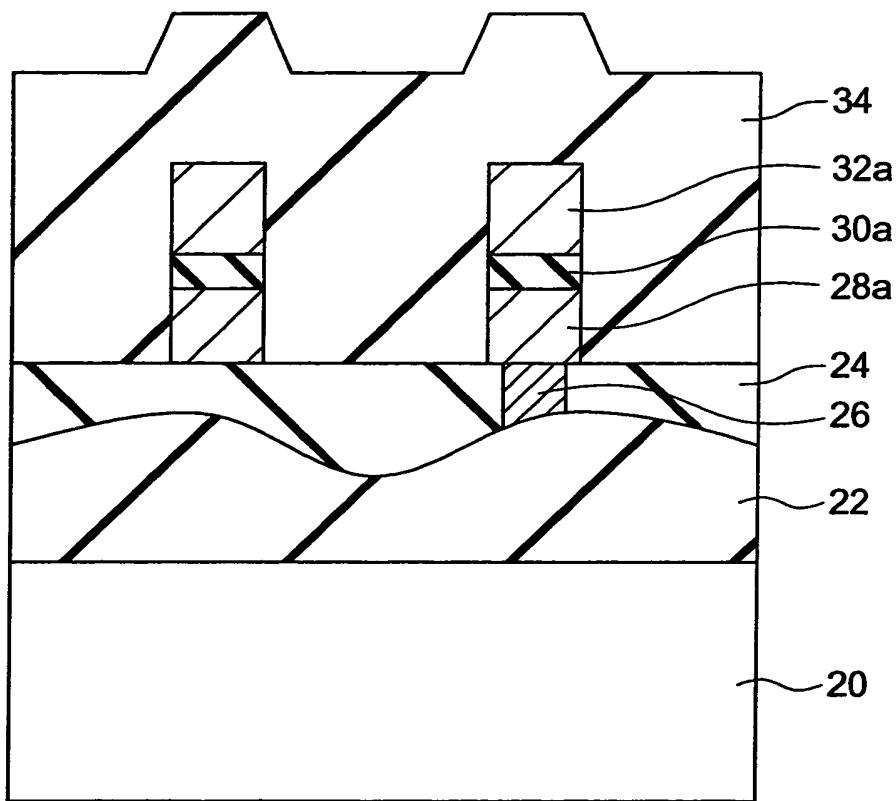
【図7】



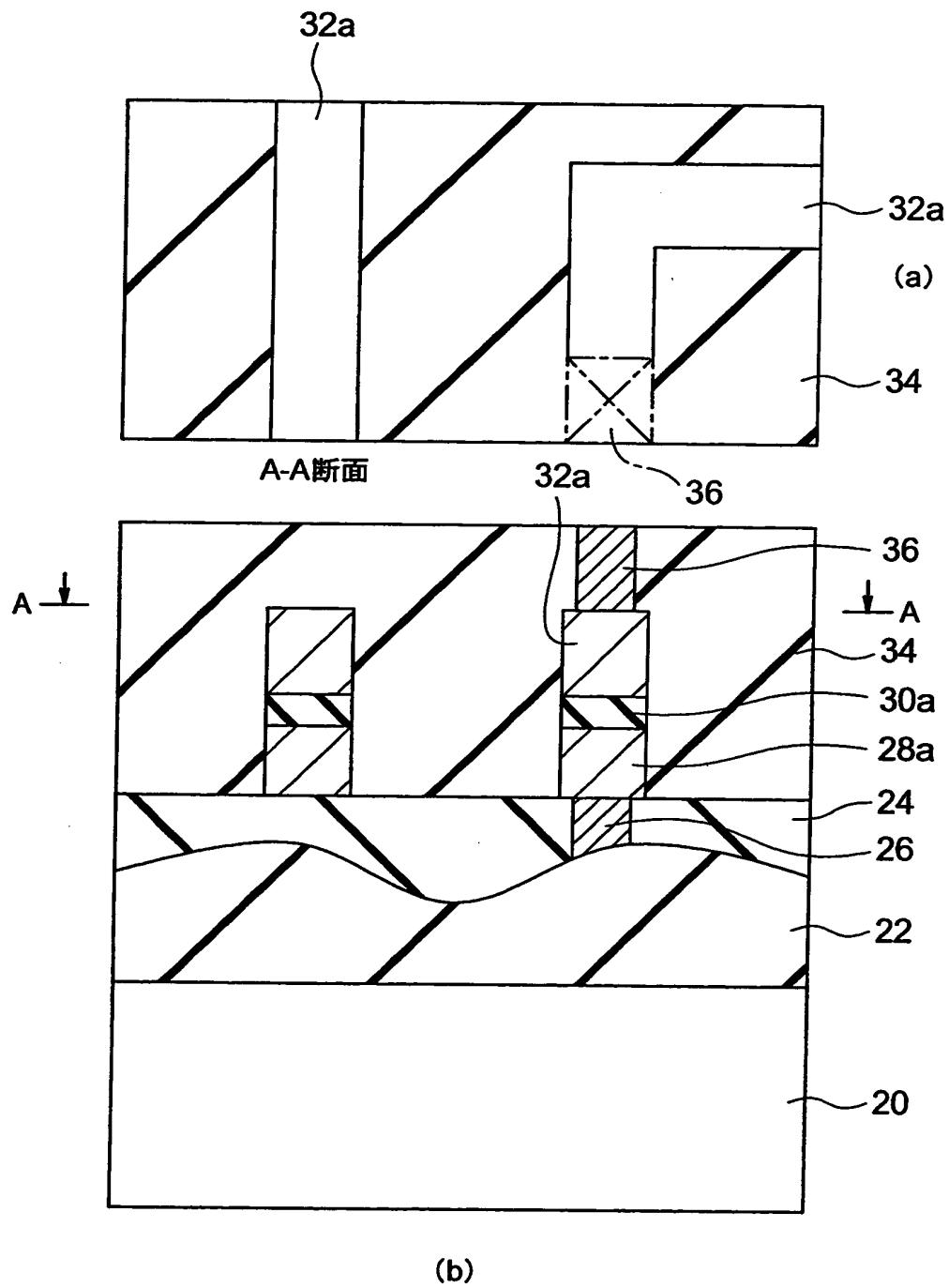
【図8】



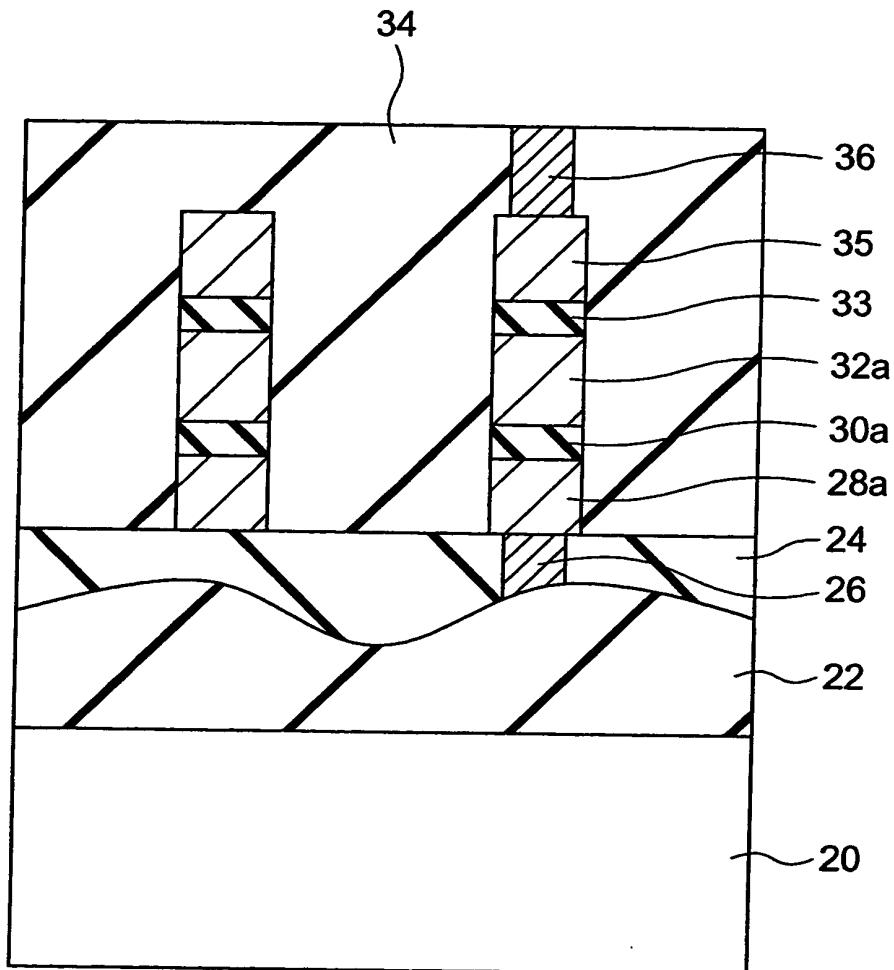
【図9】



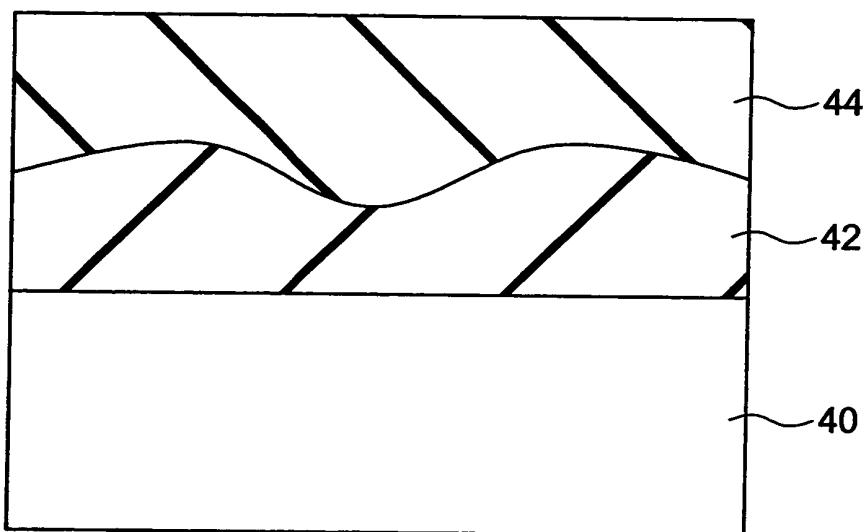
【図10】



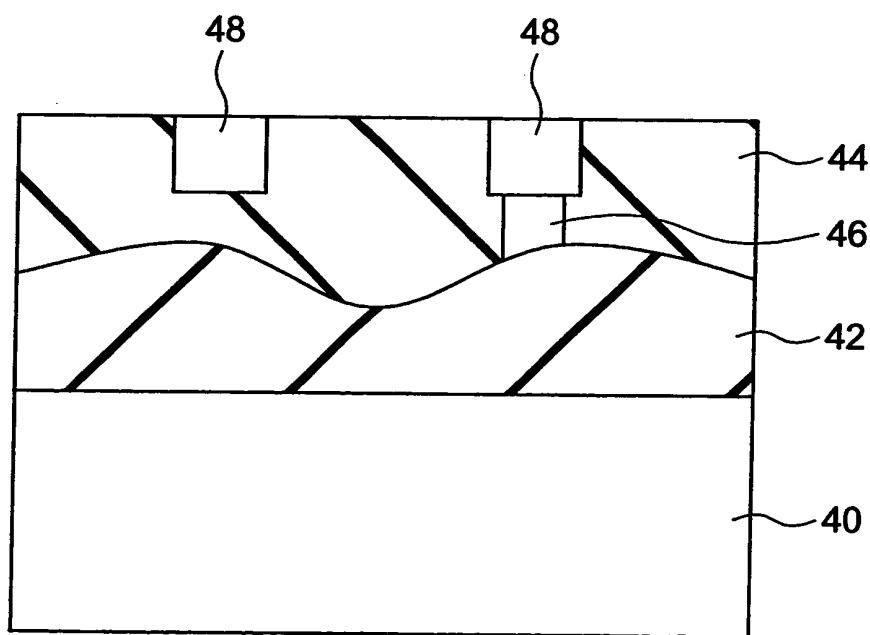
【図11】



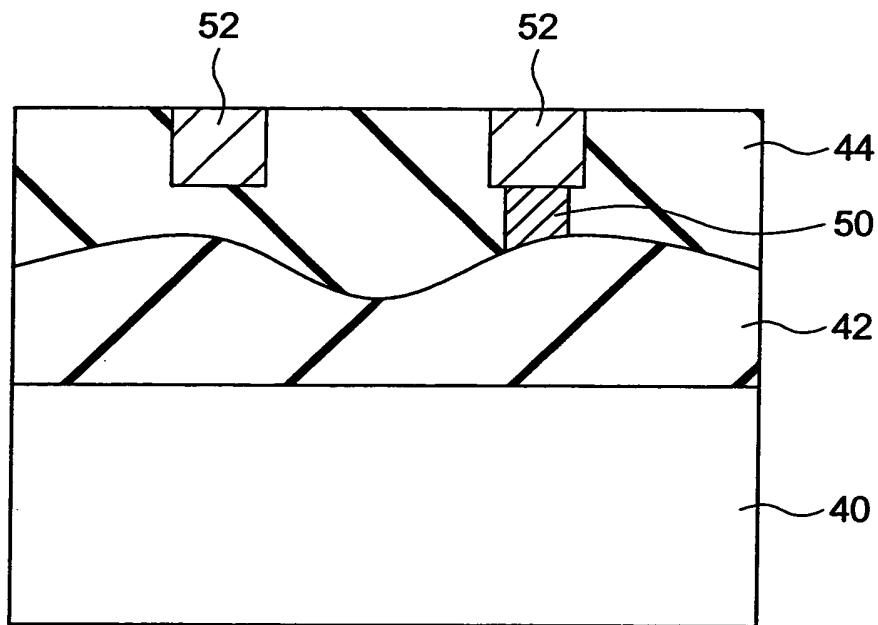
【図12】



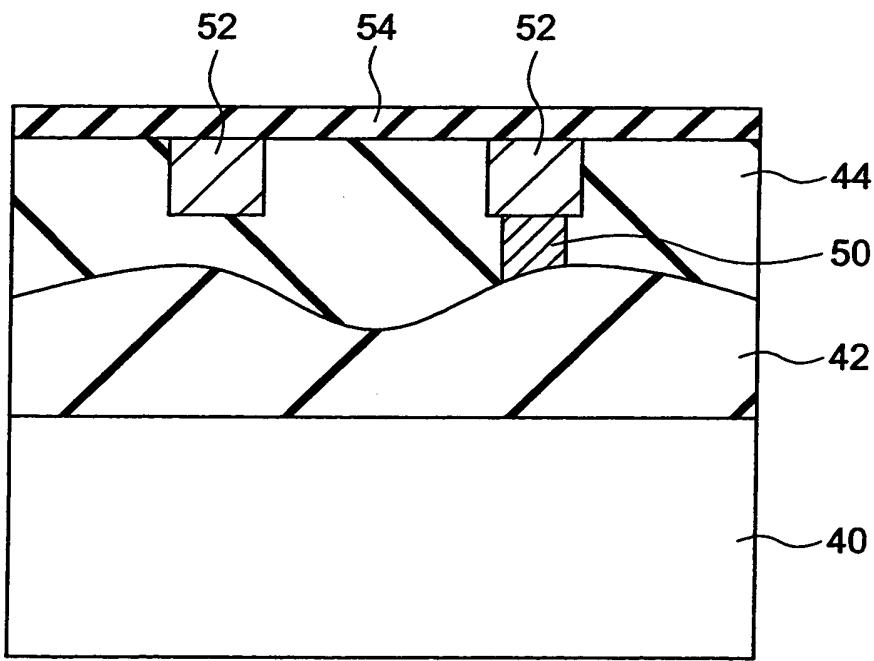
【図13】



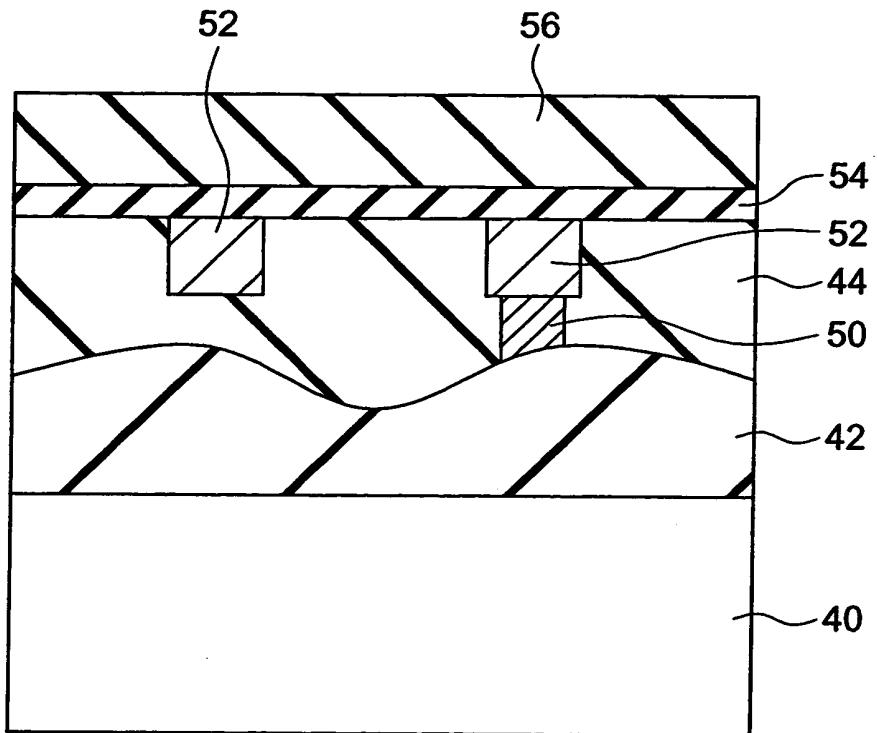
【図14】



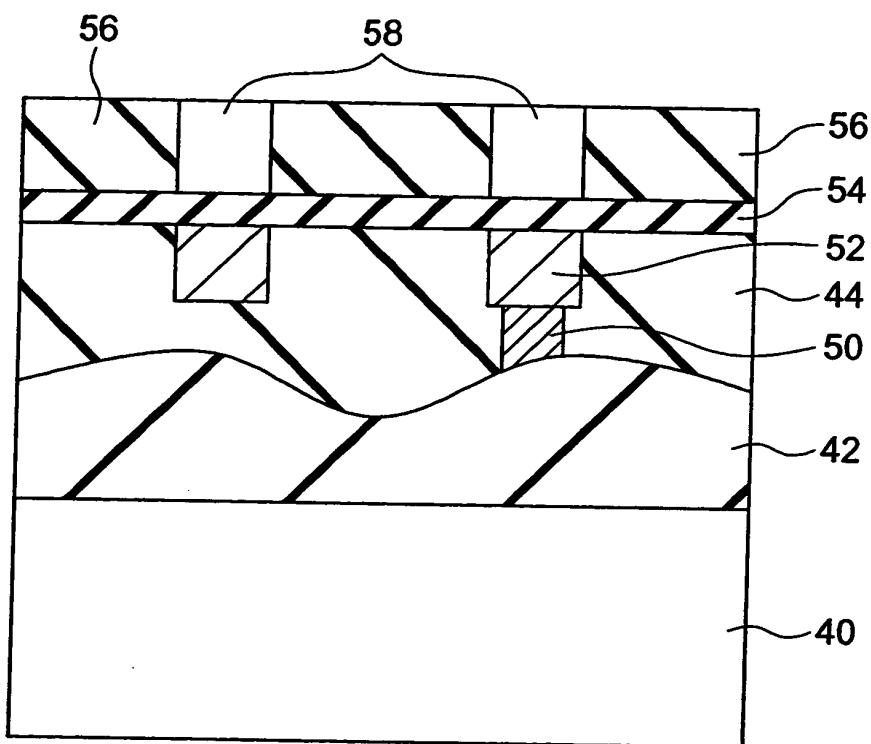
【図15】



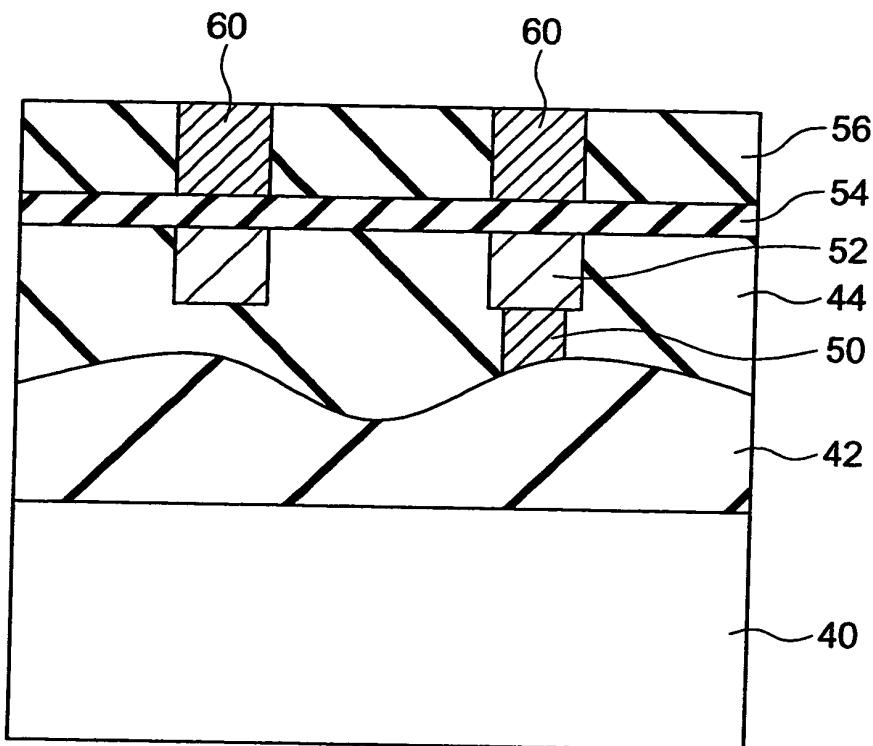
【図16】



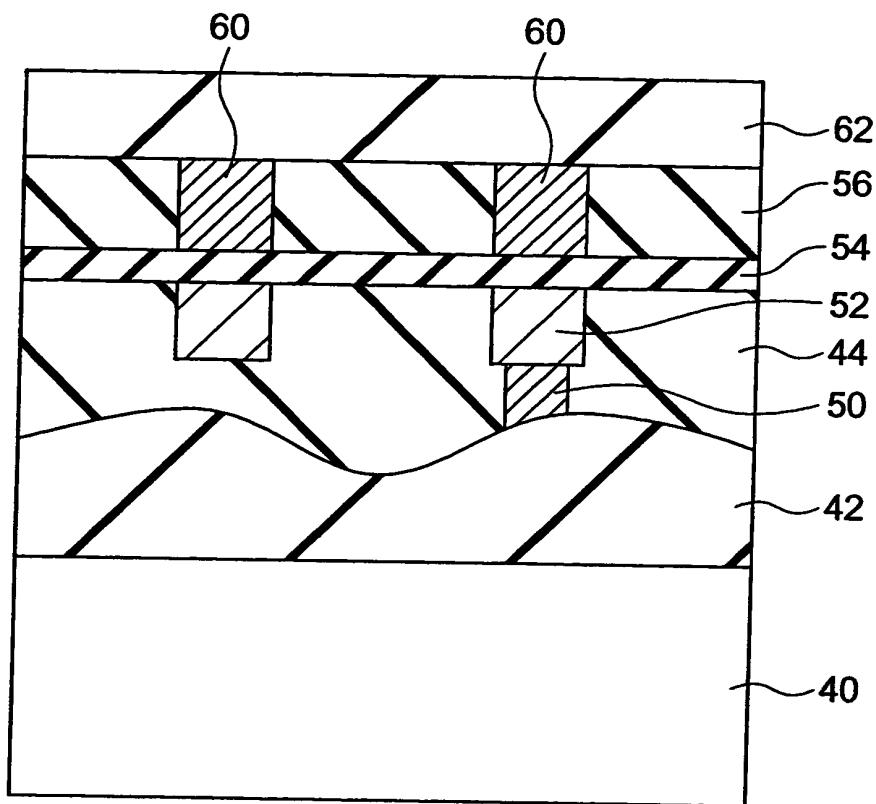
【図17】



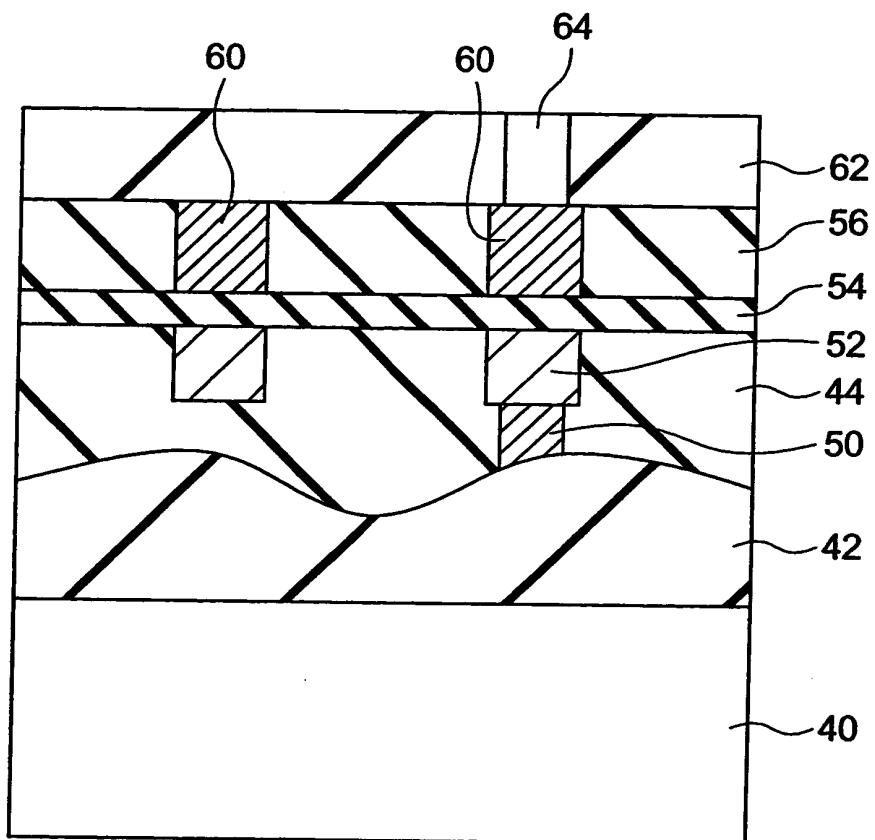
【図18】



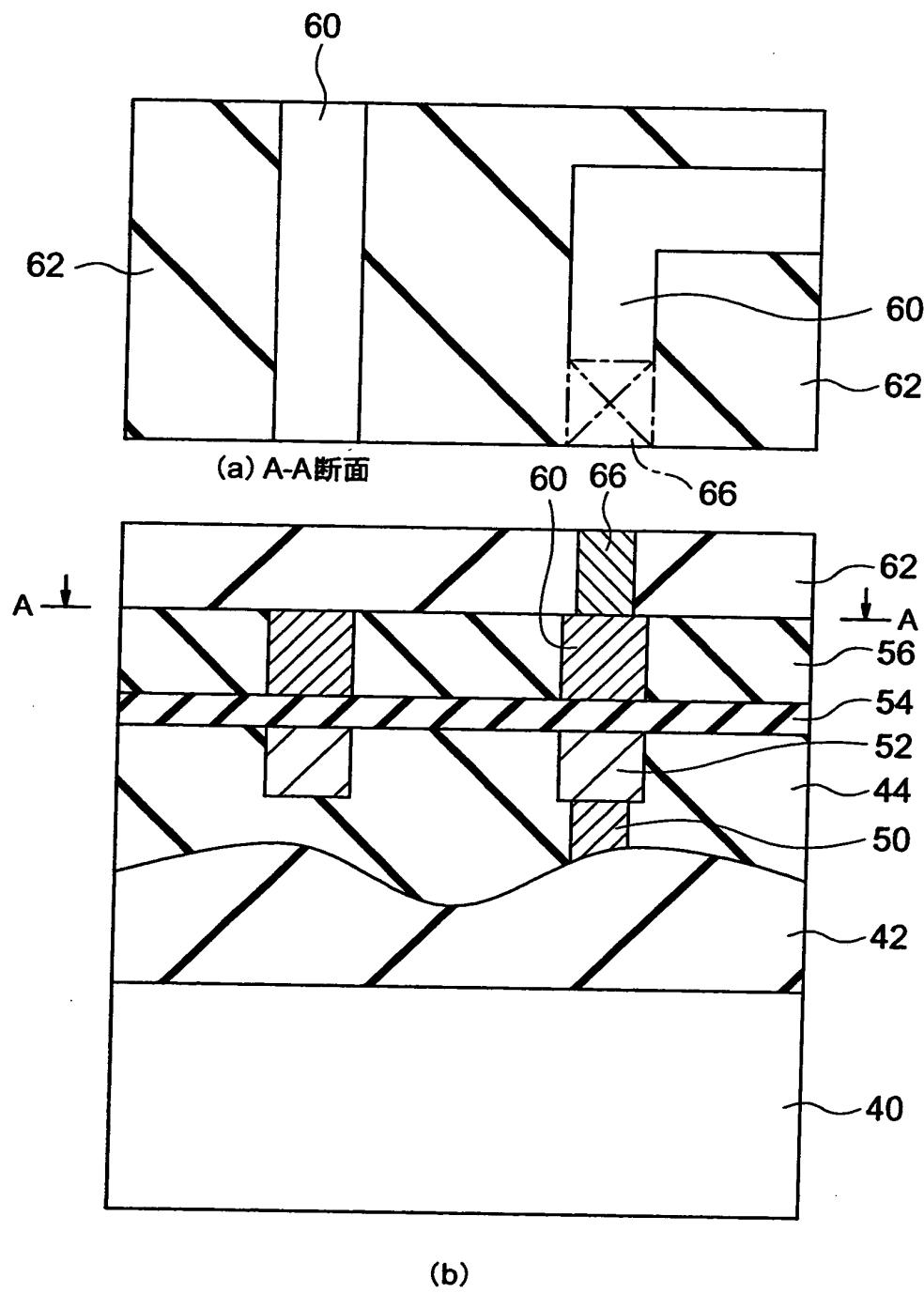
【図19】



【図20】

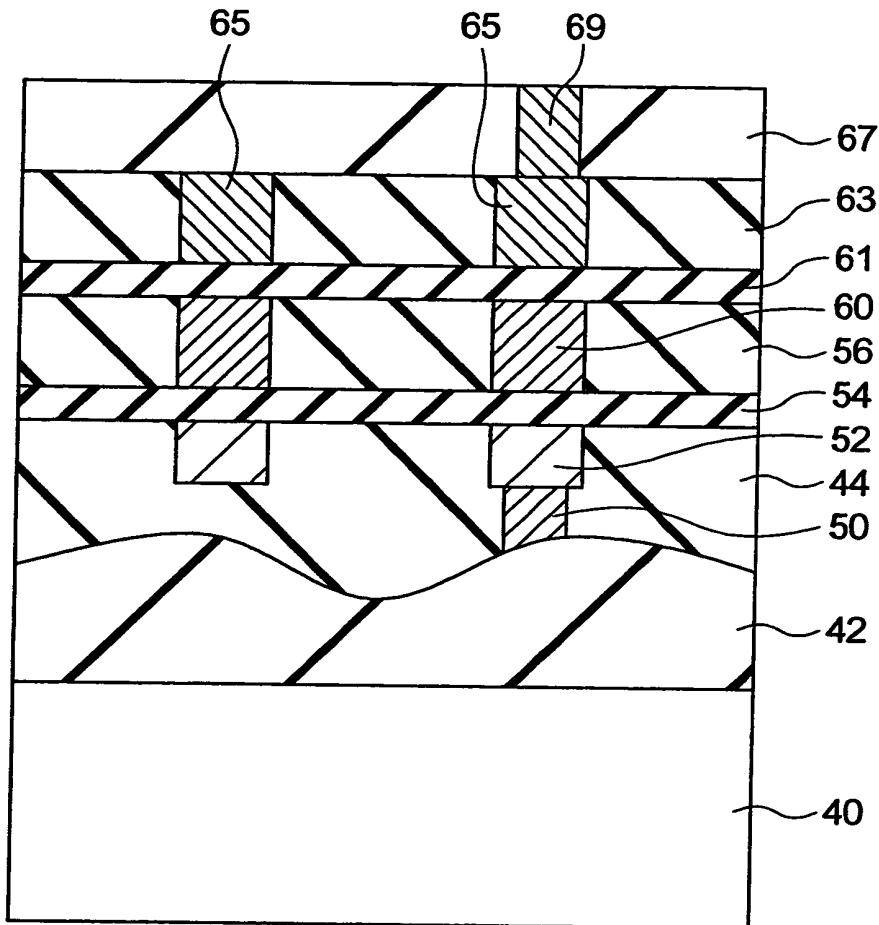


【図21】

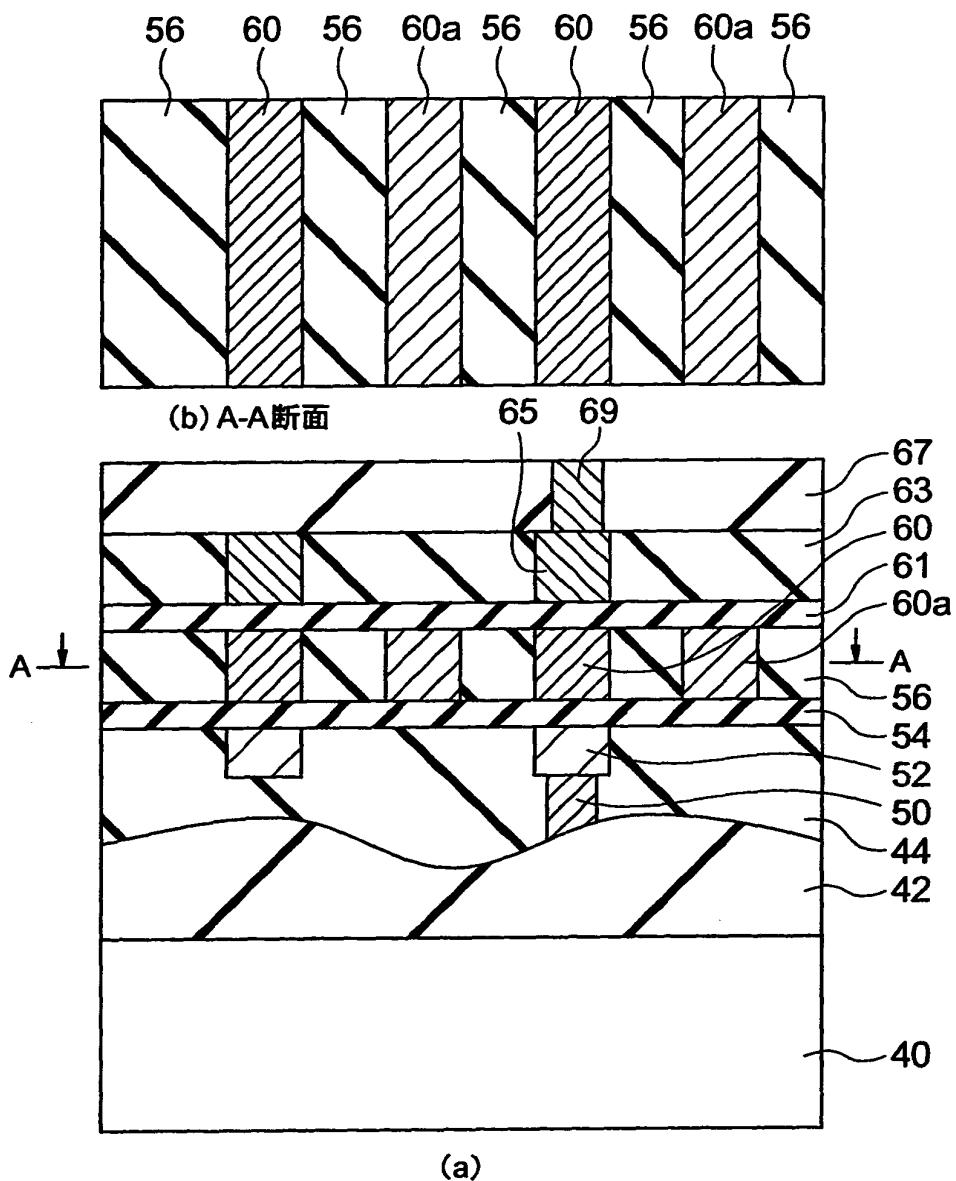


(b)

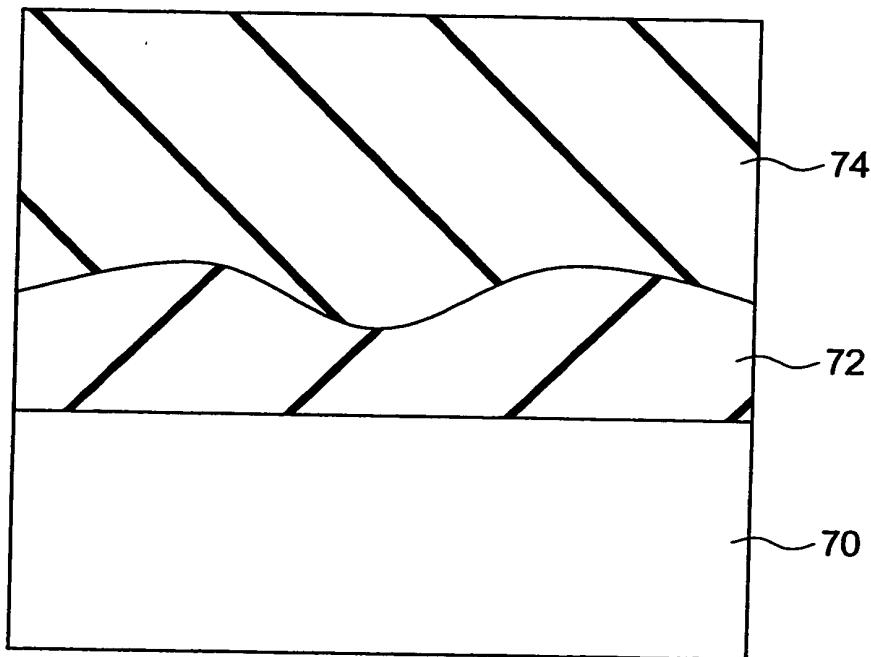
【図22】



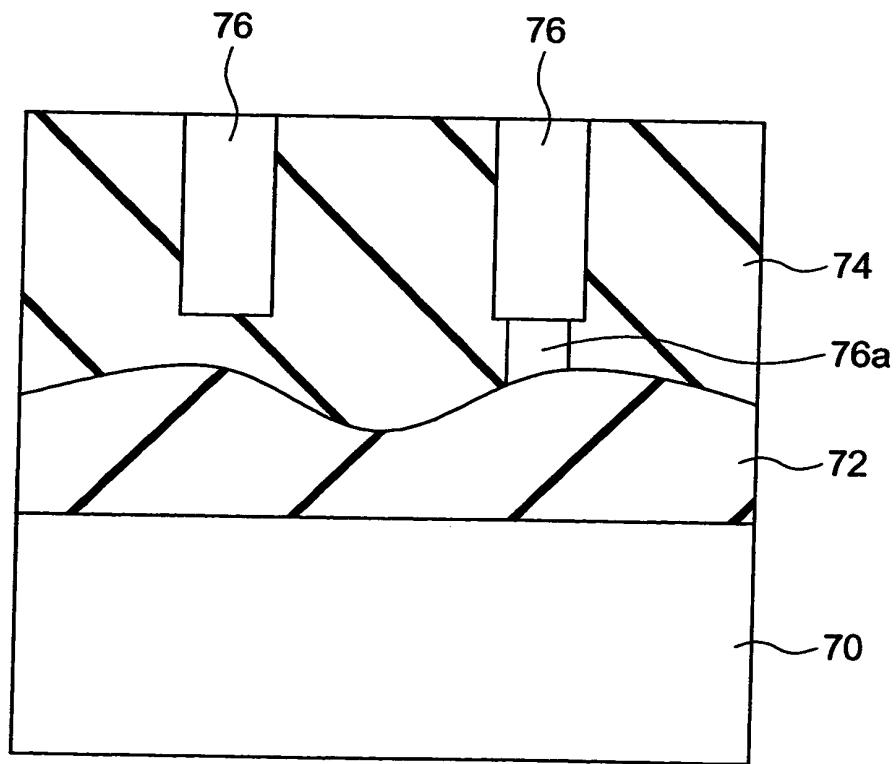
【図23】



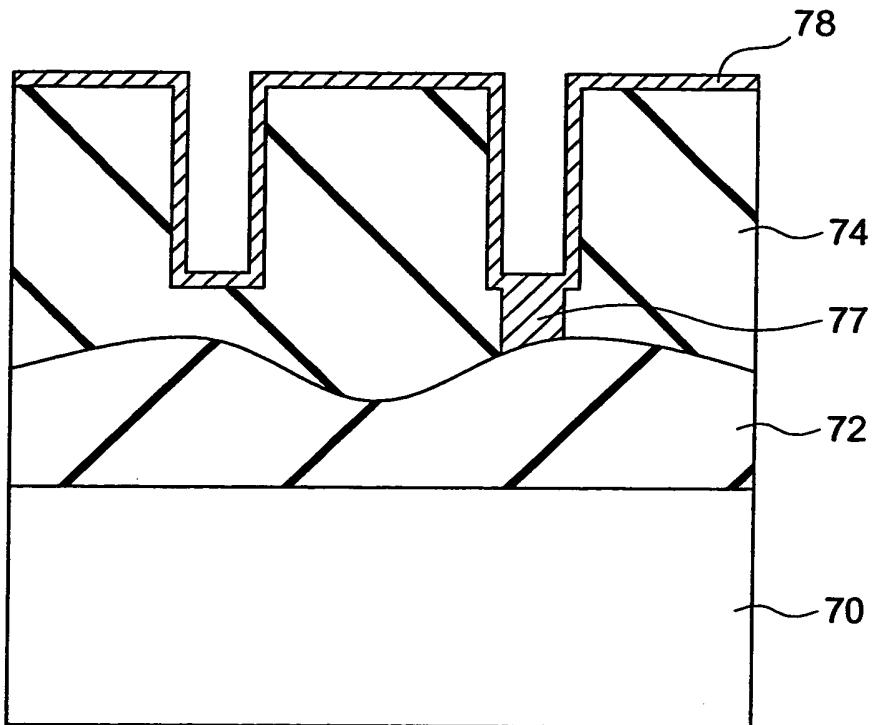
【図24】



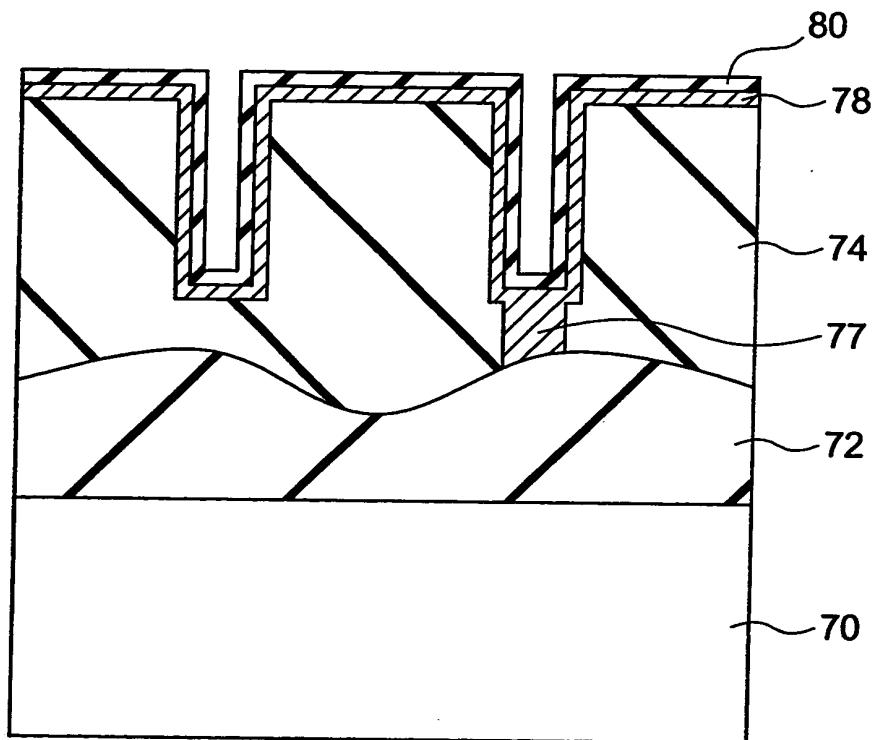
【図25】



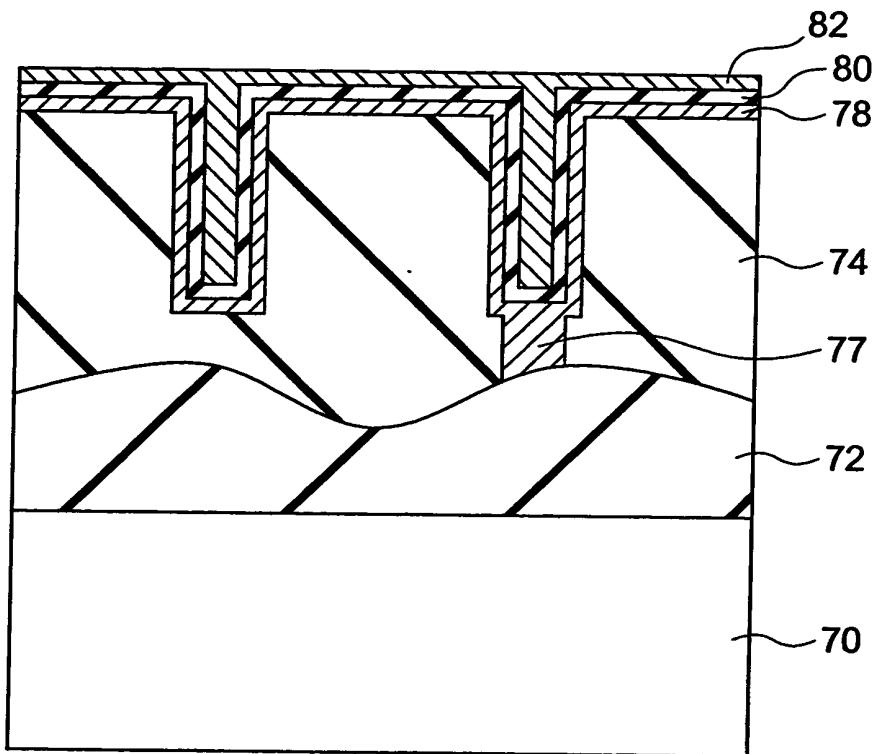
【図26】



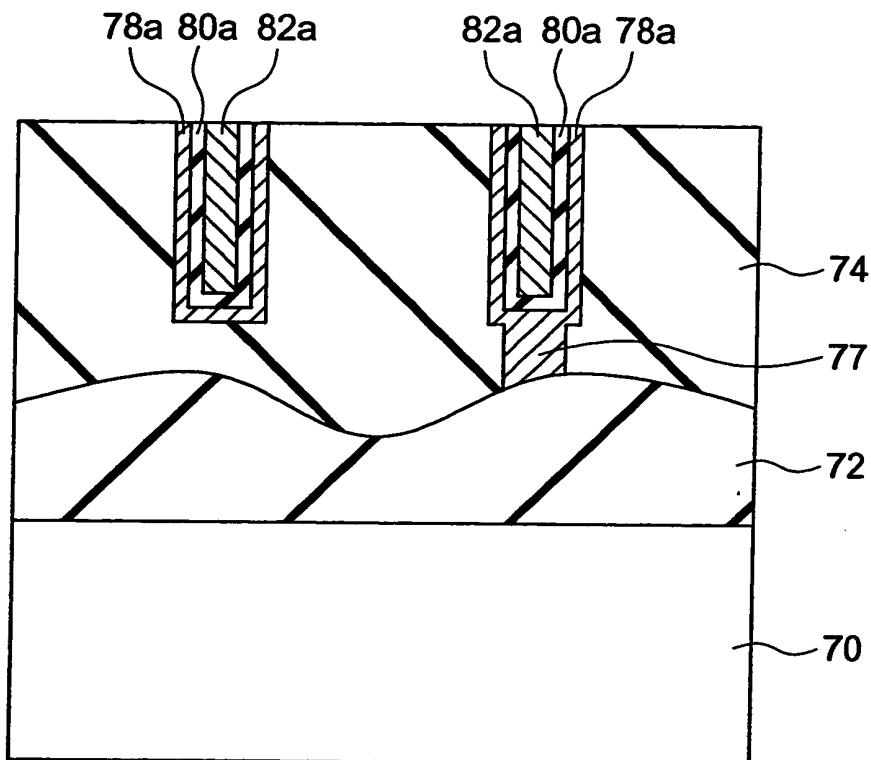
【図27】



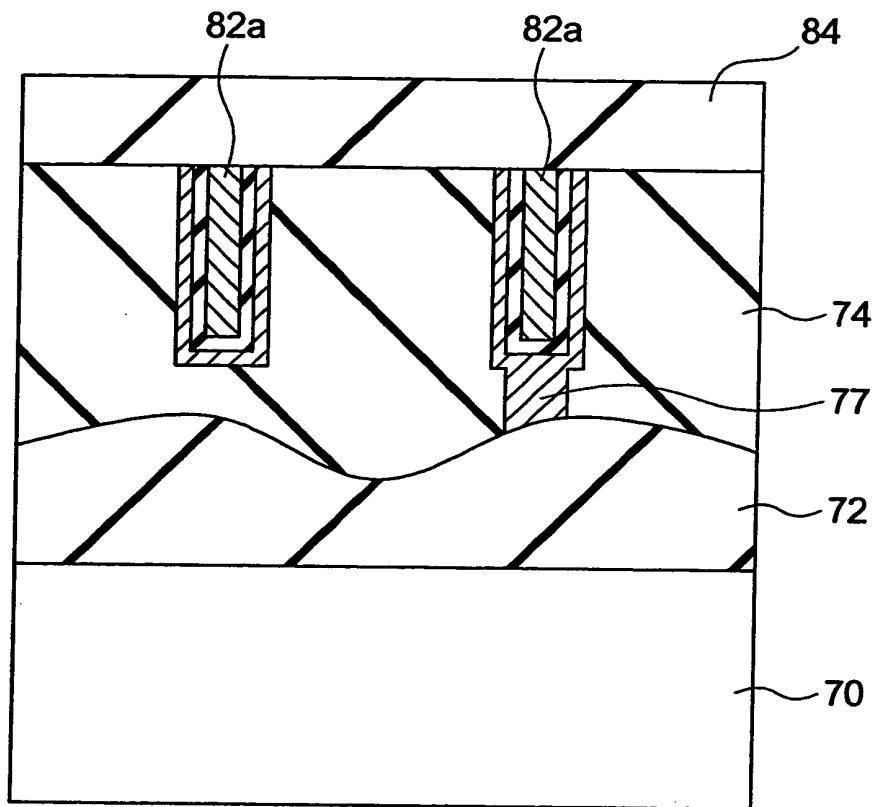
【図28】



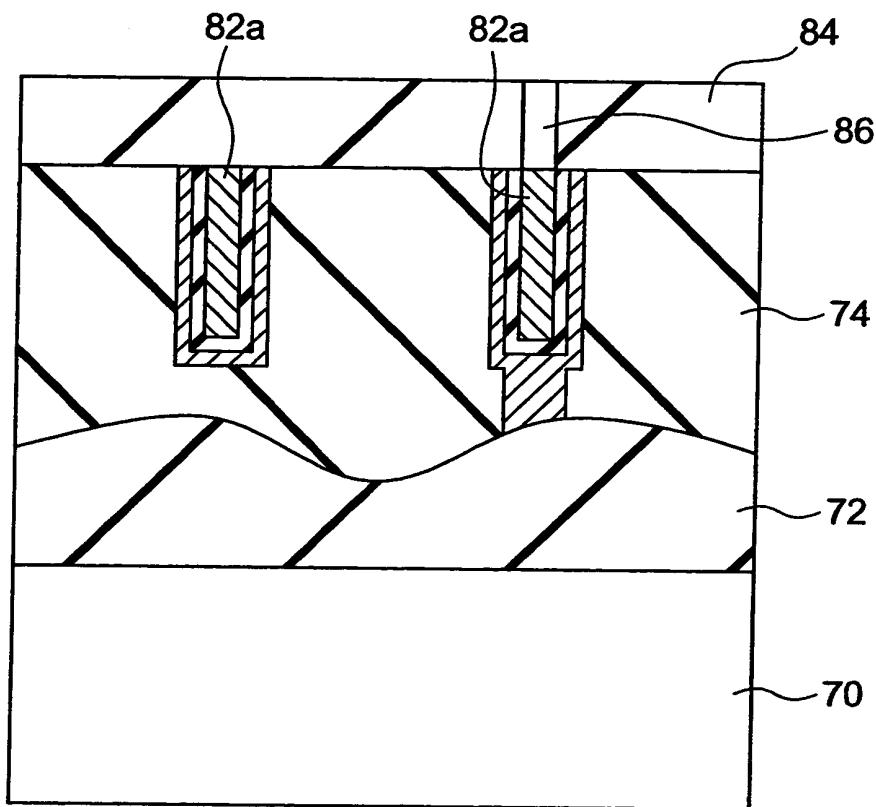
【図29】



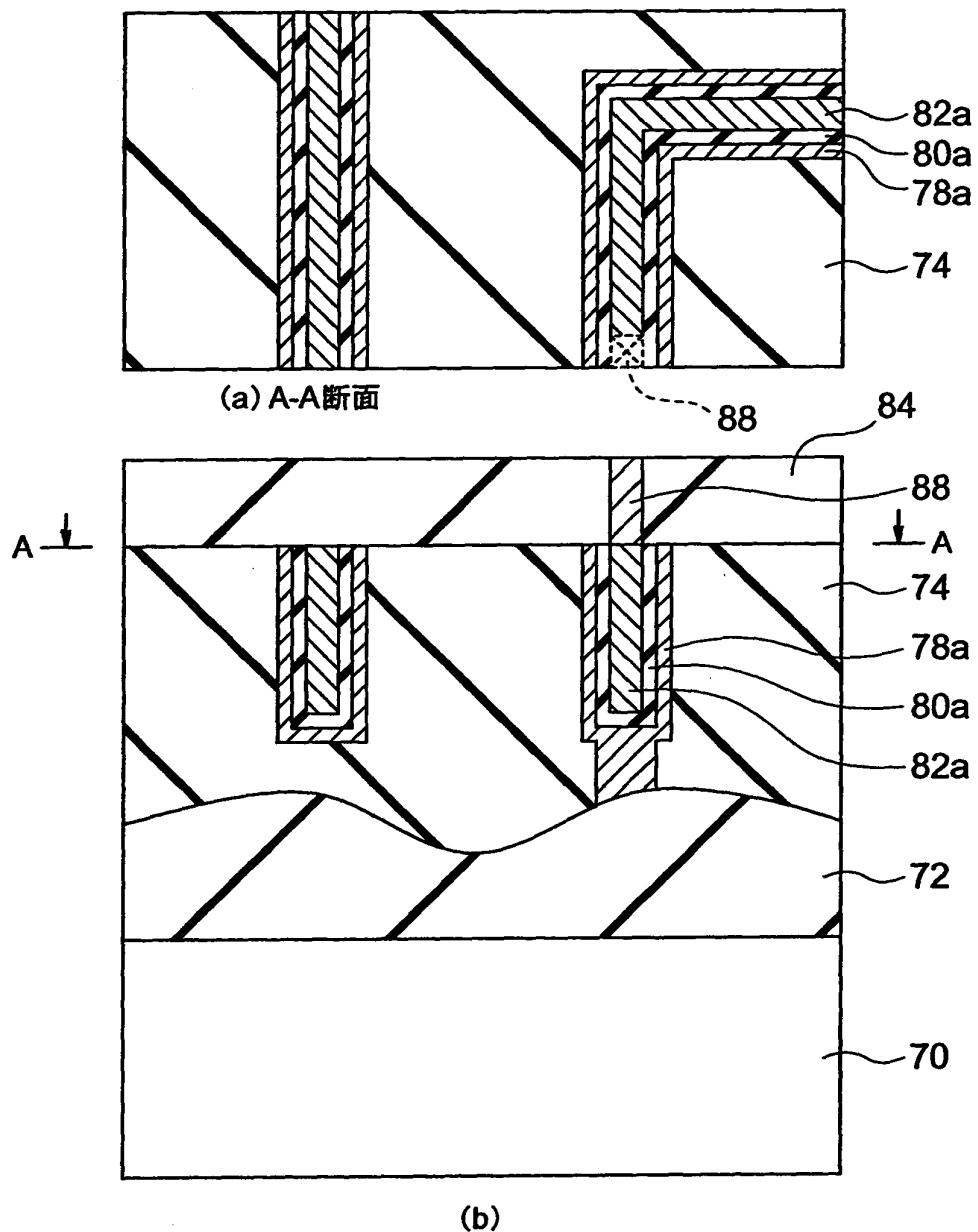
【図30】



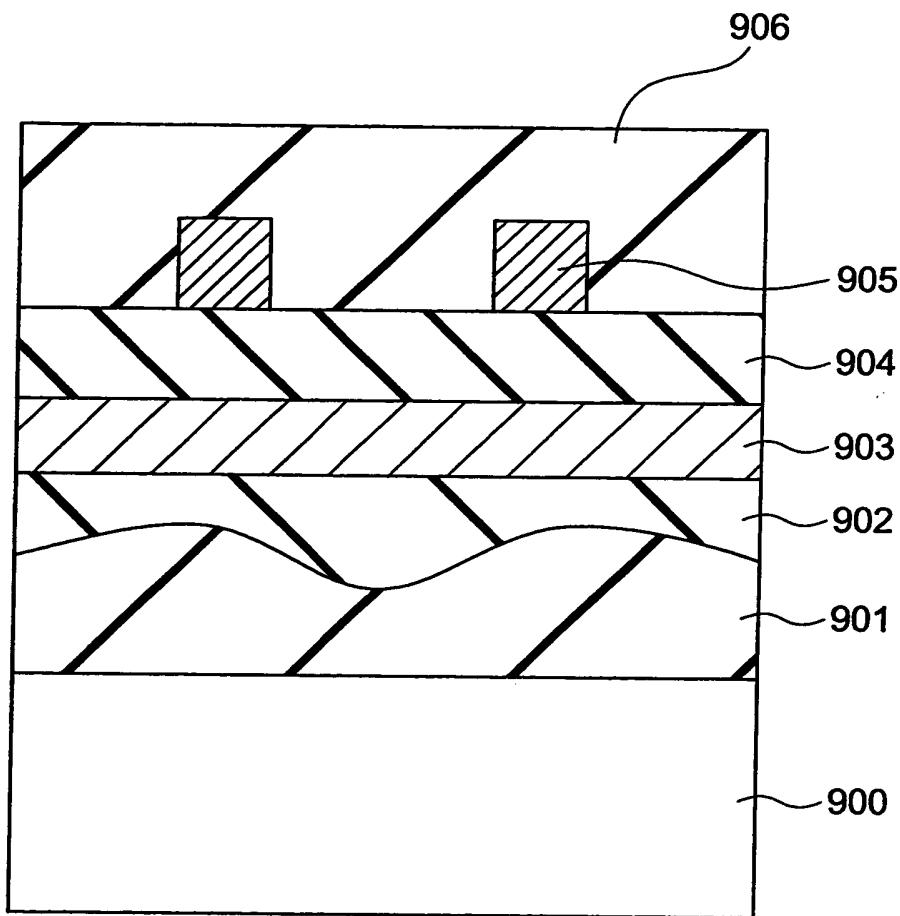
【図31】



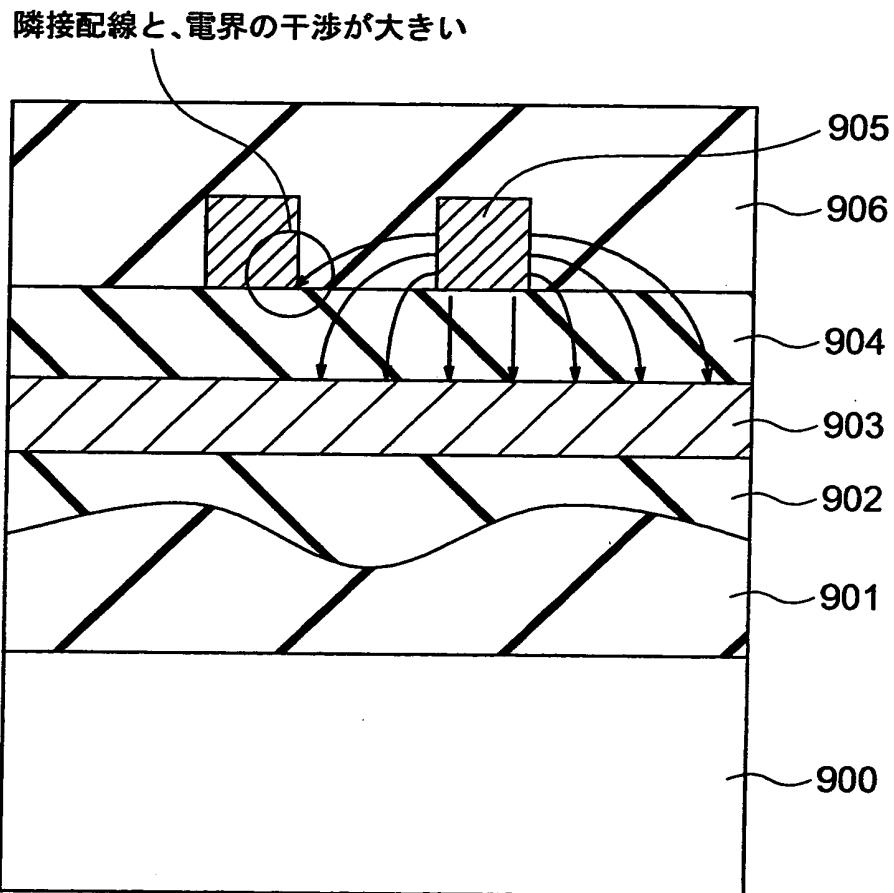
【図32】



【図33】



【図34】



【書類名】 要約書

【要約】

【課題】 上下の信号線間の干渉および隣接する信号線間の干渉を抑えることを可能にするとともに微細化にも適応できることを可能にする。

【解決手段】 半導体基板10上に形成され所望の周波数 $f_0$ の信号が通る信号線17と、上記信号と逆位相の信号が通るかまたは接地電源に接続される差動信号線13と、を備え、信号線と差動信号線は、ほぼ平行であるように絶縁層15を介して積層され、差動信号線が存在しなかった場合の信号線の単位長当たりの、抵抗成分、インダクタンス成分、キャパシタ成分をそれぞれR、L、Cとし、信号線の実際の配線長 $l_0$ が次の式

【数4】

$$l_0 = \sqrt{\frac{\frac{L}{C} + \sqrt{\frac{R^2 + 8\pi^2 f_0^2 L^2}{4\pi^2 f_0^2 C^2}}}{R^2 + 4\pi^2 f_0^2 L^2}}$$

から求められる配線長 $l_0$ よりも長いように構成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝